

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-017115

(43)Date of publication of application : 20.01.1989

(51)Int.Cl.

G06F 3/03
G06F 3/033

(21)Application number : 62-174213

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 13.07.1987

(72)Inventor : WAKABAYASHI SATOSHI

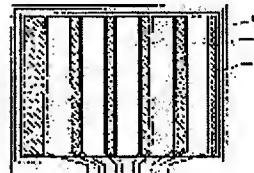
(54) INPUT DEVICE

(57)Abstract:

PURPOSE: To prevent the generation of newton rings with an input device which contains the transparent electrodes arranged in a stripe form and performs the position detection, by adding the dummy conduction films among those stripe electrodes.

CONSTITUTION: The stripe electrodes 2 and 6 using the transparent conduction films are formed vertically and orthogonally to each other into a space between the upper and lower transparent substrates 1 and 5.

Furthermore the spacers 8 are added among those stripe electrodes. In such a structure of an input device, the dummy transparent conduction films 3 and 7 having no relation with the position detection are provided between both electrodes 2 and 6. In this case, the films 3 and 7 are formed into a solid pattern or a pitch pattern of an optional form. In such a constitution, no newton ring is produced at all despite the surface load applied by a writing tool, etc.



(Embodiment 1)

Fig. 1 is a plan view of an upper substrate 1 in this embodiment of an input device of the invention, and Fig. 2 is a plan view of a lower substrate 5. In Fig. 7, the reference numeral 1 denotes a flexible transparent plastic substrate which is formed of films of polyester, polycarbonate, acryl, etc. An upper substrate electrode 2 is a transparent electrode which is an ITO film formed by a sputtering method. The reference numeral 3 denotes a dummy transparent conductive film of the invention and is formed by an ITO film similar to the upper substrate electrode 2 described above. The reference numeral 4 denotes a seal for bonding upper and lower substrates. The reference numeral 5 denotes the lower substrate, which is formed of glass or plastic film described above. The reference numeral 6 denotes a transparent electrode of the lower substrate and is formed by using an ITO, a SnO_2 film or the like formed by a sputtering method, a COD method, a laminate method, etc. The reference numeral 7 denotes a dummy transparent conductive film of the invention and is formed by the above-described ITO, SnO_2 or the like.

In this embodiment, the dummy transparent conductive films 3 and 7 were formed in a solid pattern in peripheries of the upper substrate electrode 2 and the lower substrate electrode b.

When investigating the generation of Newton ring by

applying a surface load such as writing-down and pressing to an input device configured by an arbitrary spacer between the upper and lower substrates as described above, the Newton ring was not occurred at all and a very excellent result was obtained. Thus, an appearance at the time of unperturbed use of the input device could be sufficiently maintained.

(Embodiment 2)

Fig. 3 shows the dummy transparent conductive films 3 and 7 which are formed in a matrix pattern. The conductive film may have an arbitrary size, and the generation of Newton ring can be prevented if a width of a gap is 2mm or less. This embodiment not only prevents the generation of Newton ring but also has an effect of preventing a short between the electrodes.

(Embodiment 3)

Fig. 4 shows the dummy transparent conductive films 3 and 7 which are formed in a circular shape and in a matrix pattern. Similar to Embodiment 2, this embodiment was effective in prevention of the generation of Newton ring and prevention of a short between the electrodes if a width of a gap is 2mm or less.

(Embodiment 4)

Fig. 5 shows an example of the dummy transparent conductive films 3 and 7 in case of being formed in an arbitrary shape, and has an effect similar to those of the respective embodiments described above if a width of a gap between the

formed patterns is 2mm or less.

Further, in the respective embodiments described above, although the dummy transparent conductive films are formed in both of the upper substrate 1 and the lower substrate 5, the similar effect can be exhibited if the dummy transparent conductive film is formed in any one of the substrates.

In addition, it is possible to simultaneously form the dummy transparent conductive film and the upper substrate electrode or lower substrate electrode.

(Effect of the invention)

According to the invention described above, the problem that an appearance of an input device is significantly impaired by the generation of Newton ring occurring in a substrate exposure portion between stripe electrodes of the upper and lower substrates in an input device which includes the transparent electrodes arranged in a stripe form and performs the position detection is solved, and it is possible to provide an input device capable of maintaining an appearance at the time of unperturbed use.

Further, if forming a pitch pattern having an arbitrary shape, an effect of maintaining an appearance and preventing a short between the electrodes is exhibited.

⑫ 公開特許公報 (A) 昭64-17115

⑬ Int.Cl.⁴G 06 F 3/03
3/033

識別記号

3 1 5
3 6 0

府内整理番号

B-7927-5B
G-7927-5B

⑭ 公開 昭和64年(1989)1月20日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 入力装置

⑯ 特願 昭62-174213

⑰ 出願 昭62(1987)7月13日

⑱ 発明者 若林 智 長野県諏訪市大和3丁目3番5号 セイコーホン株式会社内

⑲ 出願人 セイコーホン株式 東京都新宿区西新宿2丁目4番1号

⑳ 代理人 弁理士 最上 務 外1名

明細書

1. 発明の名称

入力装置

2. 特許請求の範囲

上下2枚の透明基板の対向する内面に、透明導電膜を用いたストライプ電極を、上下で直行する様に形成し、上下基板間にスペーサーが配置されている入力装置において、前記ストライプ電極間に、位置検出に関与しないダミー透明導電膜を、少なくとも一枚の基板の対向面に設け、該ダミー透明導電膜をベタバターン又は、任意の形状のピッチバターンで形成したことを特徴とする入力装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は入力装置に関するものである。
(従来の技術)

従来の入力装置は、第6図に示すように、上基板1と下基板5の対向する内面に上基板電極2と下基板電極6とがストライプ状に形成されており、上基板電極2と下基板電極6とは直交してマトリクス状になっている。従って、ストライプ状に形成された上基板電極間及び下基板電極間には透明導電膜は形成されておらず、基板材質が露出しているのであった。

尚、第7図は従来の入力装置でスペーサー8が規則的に配置されているタイプの断面図である。第8図は従来の入力装置でスペーサー8が不規則に配置されているタイプの断面図である。

(発明が解決しようとする問題点)

前記した様に、ストライプ電極間の基板が露出している為、入力時、又は任意の理由により基板の露出した部分が接触すると、第9図及び第10図に示すように基板表面のブロッキング作用により基板同志が離れず、接触部分にニュートンリング9を発生させ、若しく入力装置の外観を損ねるという問題点を有していた。

本発明はこの様な問題点を解決するもので、その目的はニュートンリングの発生を防ぎ、入力装置の外観を常に保つことができる入力装置を提供することにある。

(問題点を解決するための手段)

本発明の入力装置は、上下2枚の透明基板の対向する内面に、透明導電膜を用いたストライプ電極を、上下で直行する様に形成し、上下基板間にスペーサが配置されている入力装置において、前記ストライプ電極間に、位置検出に関与しない、グミー透明導電膜を少なくとも一枚の範板の対向面に設け、該グミー透明導電膜をベタバターン又は任意の形状のピッチバターンで形成したことを特徴とする。

前記グミー透明導電膜を任意の形状のバターンで形成した場合、そのバターン間のギャップは2mm以下が望ましい。2mmを超えると従来と同様にニュートンリングが発生しやすく視覚的に入力装置の外観を損なうものである。

(実施例)

(実施例1)

第1図は本発明の入力装置の本実施例に於ける上基板1の平面図であり、第2図は、下基板5の平面図である。第7図の1はフレキシブルな透明プラスチック基板で、ポリエチレン、ポリカーボネート、アクリル等のフィルムを用いた。上基板電極2は、透明電極でスパッタ法で形成されるITO膜である。3は、本発明に於けるグミー透明導電膜で、前記した上基板電極2と同様ITO膜で形成されている。4は上下基板を接着するシールである。5は下基板で、ガラス又は前記したプラスチックフィルムを用いた。6は下基板の透明電極でスパッタ法、CVD法、ラミテート法等で形成されるITO、SnO₂膜などを用いた。7は本発明に於けるグミー透明導電膜で、前記したITO、SnO₂等で形成されている。

本実施例では、上基板電極2及び下基板電極6の周囲にグミー透明導電膜3、7をベタバターンで形成した。

以上の様な上下基板に任意のスペーサを用いて

構成した入力装置を、筆記、押圧等の表面荷重を加えてニュートンリングの発生を調べたところ、全く発生せず、極めて良好な結果が得られた。これにより入力装置を平滑使用する際の外観を十分保つことができた。

(実施例2)

第3図はグミー透明導電膜3、7をマトリクス状に形成したものである。導電膜の大きさは任意で良く、ギャップ中が2mm以下であれば十分にニュートンリングの発生を防ぐことができる。本実施例の場合は、ニュートンリングの発生を防ぐだけでなく、電極的ショートをも合わせて防ぐ効果も有する。

(実施例3)

第4図はグミー透明導電膜3、7を円状で且つマトリクス状に形成したものである。本例も実施例2と同様ギャップ幅が2mm以下であれば、ニュートンリング発生の防止と、電極間ショートの防止に有効であった。

(実施例4)

第5図は、グミー透明導電膜3、7を任意の形状に形成した例を示すものであり、形成されたバターン間のギャップ幅が2mm以下であれば前述した各実施例と同様の効果を有している。

尚、以上述べた各実施例においては上基板1及び下基板5の両方にグミー透明導電膜を形成したがどちらか一方の基板に形成すれば同様の効果を有するものである。

又、グミー透明導電膜と上基板電極又は下基板電極とを同時に形成することも可能であることは言うまでもない。

(発明の効果)

以上の様に本発明によれば、透明電極をストライプ状に配置して位置検出を行なう入力装置において、上下基板のストライプ電極間の基板露部に発生するニュートンリングにより、入力装置の外観を著しく損ねるという欠点を解決し、平滑使用時の外観を保つことのできる入力装置を提供することができる。

更に、任意の形状のピッチバターンを形成すれ

ば、外観を保持し且つ電極間ショートも防ぐという効果を有する。

4. 図面の簡単な説明

第1図は本発明の実施例1の上基板平面図。

第2図は本発明の実施例1の下基板平面図。

第3図は本発明の実施例2のダミー透明導電膜の拡大図。

第4図は本発明の実施例3のダミー透明導電膜の拡大図。

第5図は、本発明の実施例4のダミー透明導電膜の拡大図。

第6図は従来の入力装置の平面図。

第7図は第6図に示した従来の入力装置の平面図に於ける、A-A断面図。

第8図は、従来の入力装置で、スペーサを不規則に配したタイプの断面図。

第9図は、従来の入力装置でニュートンリングが発生している様子を示す、平面図。

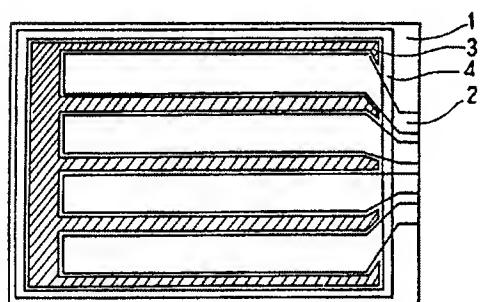
第10図は、第9図の断面図。

- 1 … 上基板
- 2 … 上基板電極
- 3 … ダミー透明導電膜
- 4 … シール
- 5 … 下基板
- 6 … 下基板電極
- 7 … ダミー透明導電膜
- 8 … スペーサー
- 9 … ニュートンリング

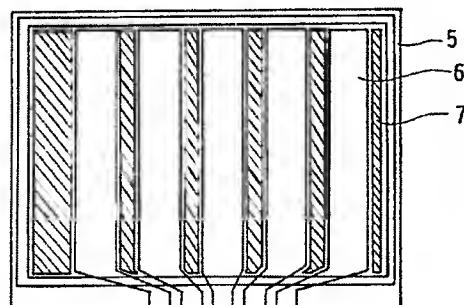
以上

出願人 セイコーホーリング株式会社

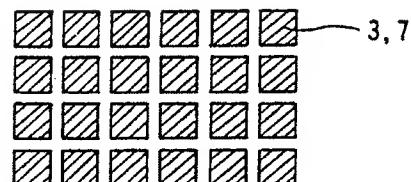
代理人 弁理士 最上 務 他1名



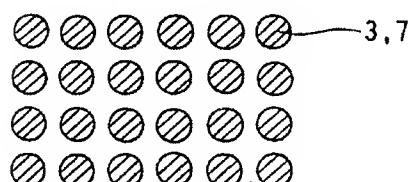
第1図



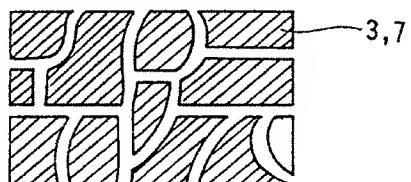
第2図



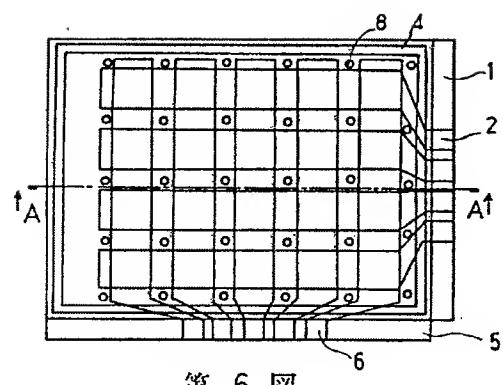
第3図



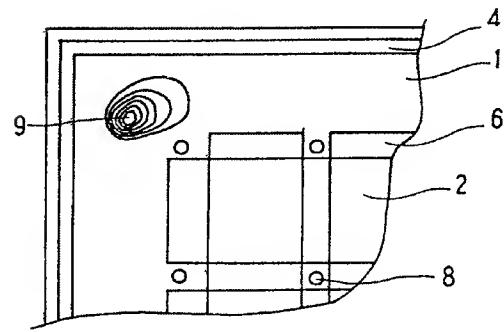
第4図



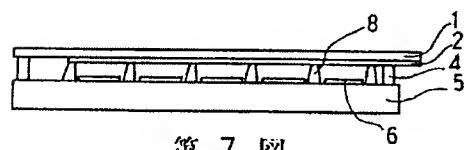
第5図



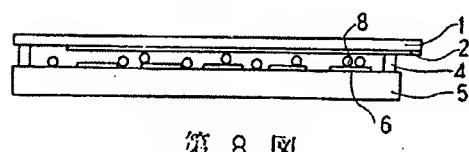
第 6 図



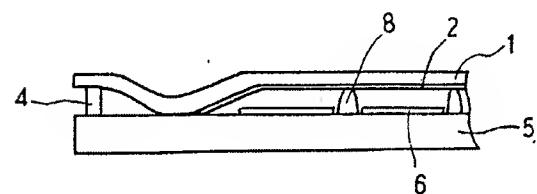
第 9 図



第 7 図



第 8 図



第 10 図